

**CODER, DECODER AND TRANSMISSION SYSTEM**

Patent Number: JP8265175  
Publication date: 1996-10-11  
Inventor(s): AIZAWA MASAMI; OKITA SHIGERU  
Applicant(s):: TOSHIBA CORP  
Requested Patent: ☐ JP8265175  
Application Number: JP19950063616 19950323  
Priority Number(s):  
IPC Classification: H03M13/12 ; H03M13/22 ; H04L1/00 ; H04L9/34  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:** To facilitate the discrimination of an error whether it is due to out-of- synchronism or transmission-error by arranging a symbol string for every interleave block in the arrangement order set optionally.

**CONSTITUTION:** When a data string is written in a memory with a tilt, the sequence is replaced. Data are written in the order of 0, 3, 1, 2, 4, 5, 8, 6 and data are read in the order of 0, x, x, x, x, 5, 3, x, x, x, 10, 8, 1, x, x, 1, 5, 13. When a data string is shifted in the row direction, the data string is largely different from the correct data string. Thus, an error rate detection means easily detects a synchronization error in the case of de-interleaving or a transmission-error during transmission.

---

Data supplied from the esp@cenet database - I2



HEI 8-265175

thereby generating a pseudo-random address. The line address is reset in a cycle of  $n_{i+1}$  by signals from the base- $n_{i+1}$  counter 23. The flip-flops 25a through 25c are reset as their clocks are in synchronism with signals from the  $n_{i+1}$  counter 23 whereupon generating the line address.

(b)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-265175

(43) 公開日 平成8年(1996)10月11日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M 13/12			H 0 3 M 13/12	
			13/22	
H 0 4 L 1/00			H 0 4 L 1/00	F
			9/00	B

審査請求 未請求 請求項の数16 O L (全 18 頁)

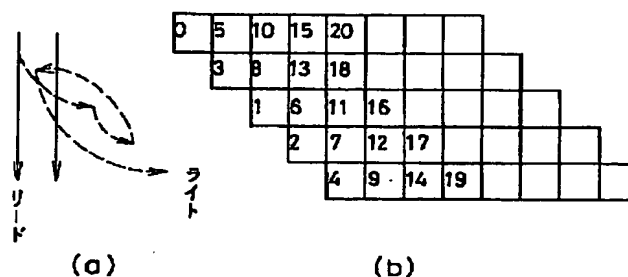
(21) 出願番号	特願平7-63616	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成7年(1995)3月23日	(72) 発明者	相沢 雅己 神奈川県横浜市磯子区新杉田町8番地 株 式会社東芝マルチメディア技術研究所内
		(72) 発明者	沖田 茂 神奈川県横浜市磯子区新杉田町8番地 株 式会社東芝マルチメディア技術研究所内
		(74) 代理人	弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 符号化装置、復号装置及び伝送方式

(57) 【要約】

【目的】 デ・インターリーブの際の同期ずれによる誤りか、伝送路上での雑音による誤りかを正確に判断することのできる伝送方式、符号化装置、及び復号装置を提供する。

【構成】 FEC符号化方式によるFEC符号後のシンボル列を順次マトリクス状に配置してインターリーブ・ブロックを構成し、各インターリーブ・ブロック毎にインターリーブ方式にてデータを読み込んでデータ伝送を行う伝送方式において、前記インターリーブ・ブロックを構成する際の各データの配列順序を任意に設定する。



(a)

(b)

## 【特許請求の範囲】

【請求項 1】 F E C 符号化方式による F E C 符号後のシンボル列を順次マトリクス状に配置してインターリーブ・ブロックを構成し、各インターリーブ・ブロック毎にインターリーブを施して伝送を行う伝送方式において、

前記インターリーブを施す際に、任意に設定された配列順序で各インターリーブ・ブロック毎のシンボル列を配列することを特徴とする伝送方式。

【請求項 2】 F E C 符号化方式による F E C 符号後のシンボル列を順次斜行するマトリクス状に配置してインターリーブ・ブロックを構成し、斜行インターリーブを施して伝送を行う伝送方式において、前記斜行するインターリーブ・ブロックを構成する際に、任意に設定された配列順序で各インターリーブ・ブロック毎のシンボル列を配列することを特徴とする伝送方式。

【請求項 3】 前記任意に設定された配列順序は、P N 符号により決定されることを特徴とする請求項 1 または請求項 2 記載の伝送方式。

【請求項 4】 前記任意に設定された配列順序は、前記各インターリーブ・ブロックを構成する最初のシンボルと最後のシンボルとを除外して並べ替えを行うことを特徴とする請求項 1 ないし請求項 3 のいずれかに記載の伝送方式。

【請求項 5】 F E C 符号化されたシンボル列をインターリーブして伝送する符号化装置において、たたみ込み符号化方式あるいはトレリス符号化変調方式による符号化を施す F E C 符号化手段と、該 F E C 符号化手段にて符号化して得られたシンボル列の配列順序を任意に変更して順次マトリクス状に配置してインターリーブ・ブロックを構成する手段と、を有することを特徴とする伝送装置。

【請求項 6】 F E C 符号化されたシンボル列をインターリーブして伝送する符号化装置において、たたみ込み符号化方式あるいはトレリス符号化変調方式による符号化を施す F E C 符号化手段と、該 F E C 符号化手段にて符号化して得られたシンボル列をそれぞれ所定の数のシンボル毎に各シンボルの配列順序を任意に変更してマトリクス状に斜行して配置してインターリーブ・ブロックを構成する手段と、を有することを特徴とする符号化装置。

【請求項 7】 前記任意に変更される配列順序は P N 符号により決定されることを特徴とする請求項 5 または請求項 6 記載の符号化装置。

【請求項 8】 前記任意に変更される配列順序は、前記各インターリーブ・ブロックの最初のシンボルと最後のシンボルとを除外して並べ替えを行うことを特徴とする請求項 5 または請求項 6 記載の符号化装置。

【請求項 9】 前記請求項 5 ないし請求項 8 のいずれか

に記載の符号化装置により符号化されかつインターリーブされたシンボル列をデ・インターリーブしかつ復号する復号装置であって、

前記インターリーブされたシンボル列に対して、前記変更された順序でデ・インターリーブを施すデ・インターリーブ手段と、

該デ・インターリーブ手段により得られたシンボル列の誤り率を検出する誤り率検出手段と、

この誤り率が所定値以上の際には、前記デ・インターリーブ手段によるデ・インターリーブのタイミングを順次ずらして再度前記デ・インターリーブ手段に前記インターリーブされたシンボル列を供給する手段と、を有することを特徴とする復号装置。

【請求項 1 0】 前記誤り率検出手段は、前記デ・インターリーブされたシンボル列をビタビ復号するビタビ復号手段と、前記デ・インターリーブされたシンボル列を簡易復号する簡易復号手段と、前記ビタビ手段による復号結果と前記簡易復号手段による復号結果とを比較して誤り率を検出する比較判定手段と、から構成されることを特徴とする請求項 9 記載の復号装置。

【請求項 1 1】 F E C 符号化されたシンボル列をインターリーブして伝送する伝送方式において、送信側では、 $n_{out}$  ビット単位で入力される入力シンボル列に  $n_{out}$  から  $m_0$  への速度変換を行って  $m_0$  ビット毎に F E C 符号化を施し、この F E C 符号化によって得られたシンボル列を  $n_s$  シンボル毎に区切ってインターリーブ・ブロックを構成し、該インターリーブ・ブロック毎に斜め配置を施して行数が  $I$  のインターリーブ・マトリクスを構成し、インターリーブを施してインターリーブ・シンボル列を送出し、

受信側では、前記インターリーブ・シンボル列に対応する受信されたシンボル列に対して前記送信側の逆操作であるデ・インターリーブ及び F E C 復号を施して、1 シンボルあたり  $m_0$  ビットを含む F E C 復号後のシンボル列を得た後、 $m_0$  から  $n_{out}$  への速度変換を施して  $n_{out}$  ビット単位で出力するときに、

前記  $I$ 、 $m_0$  及び  $n_{out}$  の値を、 $I$  と  $m_0$  との積が  $n_{out}$  で割り切れるように設定することを特徴とする伝送方式。

【請求項 1 2】 F E C 符号化されたシンボル列をインターリーブして伝送する符号化装置において、 $n_{out}$  ビット単位で入力される入力シンボル列に対して  $n_{out}$  から  $m_0$  への速度変換を行う速度変換手段と、該速度変換手段から出力されるシンボル列の  $m_0$  ビット毎に F E C 符号化を施す F E C 符号化手段と、この F E C 符号化によって得られたシンボル列を  $n_s$  シンボル毎に区切ってインターリーブ・ブロックを構成

し、このインターリーブ・ブロック毎に斜め配置を施して行数が  $I$  のインターリーブ・マトリクスを構成し、インターリーブを施してインターリーブ・シンボル列を送出するインターリーブ手段と、

を有し、前記  $I$ 、 $m_0$  及び  $n_{out}$  の値を、 $I$  と  $m_0$  との積が  $n_{out}$  で割り切れるように設定されることを特徴とする符号化装置。

【請求項 13】 前記請求項 12 記載の符号化装置により符号化され送出されたインターリーブ・シンボル列を受信して復号する復号装置であって、前記インターリーブ・シンボル列に対応する受信されたシンボル列に対して、行数が  $I$  のインターリーブ・マトリクスを用いて前記送信側の逆操作であるデ・インターリーブを施すデ・インターリーブ手段と、該デ・インターリーブ手段の出力に対して復号を施して、1 シンボルあたり  $m_0$  ビットを含む F E C 復号後のシンボル列を得る F E C 復号手段と、該 F E C 復号手段から出力されるシンボル列に対して  $m_0$  から  $n_{out}$  への速度変換を施して  $n_{out}$  ビット単位で出力する速度変換手段と、を有し、前記  $I$ 、 $m_0$  及び  $n_{out}$  の値を、 $I$  と  $m_0$  との積が  $n_{out}$  で割り切れるように設定されることを特徴とする復号装置。

【請求項 14】 F E C 符号化されたシンボル列をインターリーブして伝送する伝送方式において、送信側では、 $n_{out}$  ビット単位で入力される入力シンボル列に  $n_{out}$  から  $m_0$  への速度変換を行って  $m_0$  ビット毎に F E C 符号化を施し、この F E C 符号化によって得られたシンボル列を  $n_s$  シンボル毎に区切ってインターリーブ・ブロックを構成し、任意に設定された配列順序で各インターリーブ・ブロック毎のシンボル列を配列する斜め配置を施して行数が  $I$  のインターリーブ・マトリクスを構成し、インターリーブを施してインターリーブ・シンボル列を送出し、受信側では、前記インターリーブ・シンボル列に対応する受信されたシンボル列に対して前記送信側の逆操作であるデ・インターリーブ及び F E C 復号を施して、1 シンボルあたり  $m_0$  ビットを含む F E C 復号後のシンボル列を得た後、 $m_0$  から  $n_{out}$  への速度変換を施して  $n_{out}$  ビット単位で出力するときに、前記  $I$ 、 $m_0$  及び  $n_{out}$  の値を、 $I$  と  $m_0$  との積が  $n_{out}$  で割り切れるように設定することを特徴とする伝送方式。

【請求項 15】 F E C 符号化されたシンボル列をインターリーブして伝送する符号化装置において、 $n_{out}$  ビット単位で入力される入力シンボル列に対して  $n_{out}$  から  $m_0$  への速度変換を行う速度変換手段と、この速度変換手段から出力されるシンボル列の  $m_0$  ビット毎に F E C 符号化を施す F E C 符号化手段と、この F E C 符号化によって得られたシンボル列を  $n_s$  シ

ンボル毎に区切ってインターリーブ・ブロックを構成し、このインターリーブ・ブロック毎にインターリーブ・ブロックを構成する各シンボルの配列順序を任意に変更して斜め配置を施して行数が  $I$  のインターリーブ・マトリクスを構成し、インターリーブを施してインターリーブ・シンボル列を送出するインターリーブ手段と、を有し、前記  $I$ 、 $m_0$  及び  $n_{out}$  の値を、 $I$  と  $m_0$  との積が  $n_{out}$  で割り切れるように設定されることを特徴とする符号化装置。

- 10 【請求項 16】 前記請求項 15 記載の符号化装置により符号化され送出されたインターリーブ・シンボル列を受信して復号する復号装置であって、前記インターリーブ・シンボル列に対応する受信されたシンボル列に対して、行数が  $I$  のインターリーブ・マトリクスを用いて前記変更された順序で送信側の逆操作であるデ・インターリーブを施すデ・インターリーブ手段と、該デ・インターリーブ手段により得られたシンボル列の誤り率を検出する誤り率検出手段と、
- 20 この誤り率が所定値以上の際には、前記デ・インターリーブ手段によるデ・インターリーブのタイミングを順次ずらして再度前記デ・インターリーブ手段に前記インターリーブされたシンボル列を供給する手段と、前記デ・インターリーブ手段の出力に対して復号を施して、1 シンボルあたり  $m_0$  ビットを含む F E C 復号後のシンボル列を得る F E C 復号手段と、この F E C 復号手段から出力されるシンボル列に対して  $m_0$  から  $n_{out}$  への速度変換を施して  $n_{out}$  ビット単位で出力する速度変換手段と、
- 30 を有し、前記  $I$ 、 $m_0$  及び  $n_{out}$  の値を、 $I$  と  $m_0$  との積が  $n_{out}$  で割り切れるように設定されることを特徴とする復号装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はたたみ込み符号化あるいはトレリス符号化変調方式と組み合わせて用いるインターリーブ方式および誤り訂正方式が適用される符号化装置、復号装置及び伝送方式に関する。

【0002】

- 40 【従来の技術】 一般的にデジタル化された映像や音声の情報を伝送する場合、伝送路で発生した雑音等の影響を受けて、伝送路誤りが生じることがある。この伝送誤りの生じた映像等の情報を復元するのに誤り訂正技術が用いられる。

【0003】 例えば、たたみ込み符号化あるいはトレリス符号化変調（以下、TCM という）方式は、一般にランダム性の雑音に対する誤り訂正用に用いられる。これら両符号化方式は、バースト性の雑音に対する誤り訂正能力において、リード・ソロモン符号（以下、RS 符号という）などと比較しやや劣っている。これらの対策と

して、符号化シンボル単位でのインターリーブ（交錯法とも呼ばれる）が用いられる。

【0004】図8は、誤り訂正符号を用いて受信側で誤り訂正を行う前方向誤り訂正（Forward Error Correction：以下、FECという）及びインターリーブ方式が採用される一般的な伝送装置の構成を示すブロック図である。同図において、入力データはFEC符号化器1にてFEC符号化され、インターリーブ回路2にて後述する方法でインターリーブ処理される。その後、変調器3にて変調され、他局側へと伝送され復調器4にて復調される。その後、インターリーブした方法と同様の方法でデ・インターリーブがデ・インターリーブ回路5にて行なわれ、FEC復号器6にて復号される。また、インターリーブ同期を行なうために誤り率検出手段7が設けられている。

【0005】誤り率検出手段7は、FEC復号前のデータとFEC復号後のデータ列との相関をとることで誤り率を推定するものである。この場合、誤り率があらかじめ推定された値を越えたときに同期はずれと判定する。この同期はずれはC/N（搬送波対雑音比）が十分とれているときには、インターリーブ・ブロック同期がとれていないときに起こる。同期はずれが起こっているときはアドレス発生のタイミングを1シンボルずらして改めて誤り率を検出し判定する。このようにして誤り率が予め指定した値より小さくなるまでくり返し、同期確立を実現する。一方、上記におけるインターリーブ方式として、最も一般的で単純なものは図3に示すブロックインターリーブと呼ばれるタイプである。この同図に示す例はインターリーブの深さが、 $n_i = 3$ シンボルであり、 $n_i$ 行 $\times n_i$ 列のインターリーブ・ブロックを単位として、インターリーブを実現する。つまり、 $D_0, D_1, D_2, \dots$ の順で与えられるデータを、 $3 \times 3$ のメモリ内に横方向に書き込み、これを縦方向に読み出すことによって、図4に示すようなインターリーブ後のデータ列が得られる。

【0006】そして、互いに隣り合う符号化シンボルはインターリーブ・ブロックの境目（図中Aで示す）を除き $n_i$ シンボル以上の距離を確保し得る。

【0007】したがって、元の隣の符号化シンボルは $n_i$ シンボル以上、離間して位置することになり、伝送路上で $n_i$ シンボルまでのバーストエラーは、デ・インターリーブ後にはランダム化されビタビ復号あるいはトレリス復号の誤り訂正特性が改善される。

【0008】インターリーブあるいはデ・インターリーブの回路構成を図5に示す。同図に示す回路は、読みだしアドレスRAと書き込みアドレスWAとを交互にRAMに与え、インターリーブ後あるいはデ・インターリーブ後のデータを出力するものである。そして、図6に示すように1つの符号化シンボルの期間に読みだした後書き込むようにRAM2cの制御を行なうとデ・インター

リーブに必要なメモリは図7に示す構成となる。これにより、最低 $n_i \times n_i - 1$ シンボル分のメモリで実現できる。

【0009】デ・インターリーブにおけるRAM制御のタイミング列が図4に示されている。簡便のためRAMのアドレスをインターリーブ・マトリックスの行と列に対応させ、それぞれ行アドレス、列アドレスとする。この例はデ・インターリーブ回路の遅延量を最小化したもので、9シンボルに一度RAM出力選択信号は‘0’となり、図5においてデータ入力そのままデータ出力となる。

【0010】また受信機側ではデ・インターリーブを行なう場合にそのインターリーブ・ブロック同期を確定する必要がある。すなわちインターリーブ・ブロックの先頭位置がデ・インターリーブのためのアドレス制御の先頭位置と一致しないとデ・インターリーブが正しく行なわれないからである。この操作は、図8に示した誤り率検出手段7によって行なわれる。

【0011】ここで、誤り率の判定は図9に示す回路によって実現することができる。同図に示す構成はたたみ込み符号化／ビタビ復号の例で（符号化率1/2）変調はBPSKであり、軟判定復調データの2シンボル分によりビタビ復号が施される。この軟判定復調データの上位1ビットは硬判定データである。この硬判定データ2ビットから簡易復号が行なわれ（例えば特開平5-244019号公報参照）、ビタビ復号にかかる時間分と合わせるための遅延が施される。次にビタビ復号後のデータと比較される。この時、C/Nがある程度とれているときにはビタビ復号後のデータ列の誤り率は簡易復号後のデータ列の誤り率に比べ十分小さいので簡易復号後のデータ列の誤り率そのものになる。簡易復号後のデータ列の誤り率とビタビ復号後の誤り率には相関関係があるので、ビタビ復号後のデータ列の誤り率を推定できる。

【0012】図10はインターリーブで深さ $n_i = 3$ のときの斜行インターリーブの原理を示す説明図であり、斜め方向に順次データを書き込む。またこの際使用するメモリは図11に示す如く $3 \times 3$ の容量を有するメモリとなる。そして、このときのデータ例は図12に示す如くとなる。

【0013】そして、デ・インターリーブが正しく行なわれるためには図10に示すインターリーブ・マトリックスにおける先頭行とメモリ先頭行が一致していれば良く、列方向にはずれていても良い。例えば図13に示すように図10に比べ、1列ずれていてもデータに対するメモリアドレスの列アドレスが1列分ずれるだけであり、図14に示されるようにデ・インターリーブ後のデータ列には何等影響はない。つまり、図12に対して図14のデータ列は列アドレスが1区間分だけずれているが、デ・インターリーブ後のデータ列には影響はない。

【0014】しかしながら、行方向にずれた場合には正しいデ・インターリーブ後のデータ列を得ることができない。以下、これを詳しく説明する。

【0015】いま、0, 1, 2, 3, …という順で伝送されるデータ列を図15のように斜め方向にインターリーブしてデータを書き込むと、読み出されるデータは、0, x, x, x, x, 5, 1, x, x, x, 10, 6, 2, x, x, 15, 11, …という順に並べ換えられる。そして、この反対にデ・インターリーブを行なえば元のデータ列に復元される。これに対して、行方向にデータがずれると、図16に示すようになり、これをデ・インターリーブすると、x, 0, 1, 2, 3, x, 5, 6, 7, 8, x, 10, 11, 12, 13, x, 15, 16, …となり、より詳しくは図19に示す如くなる。したがって、正しいデータ列が得られない。

【0016】そして、これを解決するためには、インターリーブの開始位置とデ・インターリーブの開始位置とを同期させれば良い。これは、図8に示した誤り率検出手段7にて行なうことができる。即ち、同期がとれていない場合には、デ・インターリーブの開始位置を1つつずらして行けばよい。これによれば、最高でも4回ずらせば同期がとれることになる。

【0017】また、図22に示すような速度変換を伴う伝送系において、入力シンボル列のビット単位である $n_{out}$ 、速度変換後のシンボル列のビット単位である $m_0$ 及びインターリーブ・ブロックのサイズ $n_s$ が以下に示す関係にあるとき、同期コードを使用しなくてもデ・インターリーブのための同期をとることができることが知られている。

【0018】図22において、送信側では、 $n_{out}$ ビット単位で入力される入力シンボル列が速度変換回路30により $n_{out}$ から $m_0$ への速度変換が施され、この速度変換されたシンボル列がFEC符号化回路31により $m_0$ ビット毎にFEC符号化され、インターリーブ回路32により例えば図3に示したサイズ $n_s$ （この場合 $n_s=9$ ）のブロック・インターリーブが施された後、変調回路33により変調されて伝送路34へ送出される。そして、受信側では、復調回路35で復調された後、デ・インターリーブ回路36により送信側のインターリーブと逆の操作であるデ・インターリーブが施された後、FEC復号回路37によりFEC復号され、 $m_0$ ビット単位のシンボル列が速度変換回路38により、 $m_0$ から $n_{out}$ への速度変換が施される。

【0019】このような伝送系において、 $n_s \times m_0$ が $n_{out}$ で割り切れると、各インターリーブ・ブロックの先頭の位置では、 $n_{out}$ ビット中の同一のビット位置が現れるため、同期コードを使用しなくても $n_{out}$ ビットのビット同期をとることが可能となる。

【0020】

【発明が解決しようとする課題】しかしながら、図16

に示したように、行方向にデータが1つつずれた場合は、前記したようにデ・インターリーブ後のデータは、x, 0, 1, 2, 3, x, 5, 6, 7, 8, x, 10, 11, …となり、正しいデータとあまり変わらない。つまり、このデータの誤りが、伝送誤りなのか、デ・インターリーブの際の開始位置のずれによる誤りであるかの判別がつかず、正しいデータの復号が行なえないという欠点があった。

【0021】この発明はこのような従来の課題を解決するためになされたもので、その目的とするところは、デ・インターリーブの際の同期ずれによる誤りか、伝送誤りかを容易に判別することのできる伝送方式、符号化装置、復号装置を提供することにある。

【0022】

【課題を解決するための手段】上記目的を達成するため、本願請求項1記載の伝送方式は、FEC符号化方式によるFEC符号後のシンボル列を順次マトリクス状に配置してインターリーブ・ブロックを構成し、各インターリーブ・ブロック毎にインターリーブを施して伝送を行う伝送方式において、前記インターリーブを施す際に、任意に設定された配列順序で各インターリーブ・ブロック毎のシンボル列を配列することを特徴とする。

【0023】また、請求項2記載の伝送方式は、FEC符号化方式によるFEC符号後のシンボル列を順次斜行するマトリクス状に配置してインターリーブ・ブロックを構成し、各インターリーブ・ブロック毎に斜行インターリーブを施して伝送を行う伝送方式において、前記斜行するインターリーブ・ブロックを構成する際に、任意に設定された配列順序で各インターリーブ・ブロック毎のシンボル列を配列することを特徴とする。

【0024】請求項3記載の伝送方式は、前記請求項1または請求項2記載の伝送方式において、前記任意に設定される配列順序はPN符号（擬似乱数符号）により決定されることを特徴とする。

【0025】請求項4記載の伝送方式は、前記請求項1ないし請求項3のいずれかに記載の伝送方式において、前記任意に設定された配列順序は、前記各インターリーブ・ブロックを構成する最初のシンボルと最後のシンボルとを除外して並べ替えを行うことを特徴とする。

【0026】また、請求項5記載の符号化装置は、FEC符号化されたシンボル列をインターリーブして伝送する符号化装置において、たたみ込み符号化方式あるいはトレリス符号化変調方式による符号化を施すFEC符号化手段と、該FEC符号化手段にて符号化して得られたシンボル列の配列順序を任意に変更して順次マトリクス状に配置してインターリーブ・ブロックを構成する手段と、を有することを特徴とする。

【0027】請求項6記載の符号化装置は、FEC符号化されたシンボル列をインターリーブして伝送する符号化装置において、たたみ込み符号化方式あるいはトレリ



ス符号化変調方式による符号化を施すFEC符号化手段と、該FEC符号化手段にて符号化して得られたシンボル列をそれぞれ所定の数のシンボル毎に各シンボルの配列順序を任意に変更してマトリクス状に斜行して配置してインターリーブ・ブロックを構成する手段と、を有することを特徴とする。

【0028】請求項7記載の符号化装置は、前記請求項5または請求項6記載の符号化装置において、前記任意に変更される配列順序はPN符号により決定されることを特徴とする。

【0029】請求項8記載の符号化装置は、前記請求項5または請求項6記載の符号化装置において、前記任意に変更される配列順序は、前記各インターリーブ・ブロックの最初のシンボルと最後のシンボルとを除外して並べ替えを行うことを特徴とする。

【0030】また、請求項9記載の復号装置は、前記請求項5ないし請求項8のいずれかに記載の符号化装置により符号化されかつインターリーブされたシンボル列をデ・インターリーブしかつ復号する復号装置であって、前記インターリーブされたシンボル列に対して、前記変更された順序でデ・インターリーブを施すデ・インターリーブ手段と、該デ・インターリーブ手段により得られたシンボル列の誤り率を検出する誤り率検出手段と、この誤り率が所定値以上の際には、前記デ・インターリーブ手段によるデ・インターリーブのタイミングを順次ずらして再度前記デ・インターリーブ手段に前記インターリーブされたシンボル列を供給する手段と、を有することを特徴とする。

【0031】請求項10記載の復号装置は、前記請求項9記載の復号装置において、前記誤り率検出手段は、前記デ・インターリーブされたシンボル列をビタビ復号するビタビ復号手段と、前記デ・インターリーブされたシンボル列を簡易復号する簡易復号手段と、前記ビタビ復号手段による復号結果と前記簡易復号手段による復号結果とを比較して誤り率を検出する比較判定手段と、から構成されることを特徴とする。

【0032】また、請求項11記載の伝送方式は、FEC符号化されたシンボル列をインターリーブして伝送する伝送方式において、送信側では、nout ビット単位で入力される入力シンボル列にnout からm0 への速度変換を行ってm0 ビット毎にFEC符号化を施し、このFEC符号化によって得られたシンボル列をns シンボル毎に区切ってインターリーブ・ブロックを構成し、該インターリーブ・ブロック毎に斜め配置を施して行数がIのインターリーブ・マトリクスを構成し、インターリーブを施してインターリーブ・シンボル列を送出し、受信側では、前記インターリーブ・シンボル列に対応する受信されたシンボル列に対して前記送信側の逆操作であるデ・インターリーブ及びFEC復号を施して、1シンボルあたりm0 ビットを含むFEC復号後のシンボル列を

得た後、m0 からnout への速度変換を施してnout ビット単位で出力するときに、前記I、m0 及びnout の値を、Iとm0 との積がnout で割り切れるように設定することを特徴とする。

【0033】また、請求項12記載の符号化装置は、FEC符号化されたシンボル列をインターリーブして伝送する符号化装置において、nout ビット単位で入力される入力シンボル列に対してnout からm0 への速度変換を行う速度変換手段と、該速度変換手段から出力されるシンボル列のm0 ビット毎にFEC符号化を施すFEC符号化手段と、このFEC符号化によって得られたシンボル列をns シンボル毎に区切ってインターリーブ・ブロックを構成し、このインターリーブ・ブロック毎に斜め配置を施して行数がIのインターリーブ・マトリクスを構成し、インターリーブを施してインターリーブ・シンボル列を送出するインターリーブ手段と、を有し、前記I、m0 及びnout の値を、Iとm0 との積がnout で割り切れるように設定されることを特徴とする。

【0034】また、請求項13記載の復号装置は、前記請求項12記載の符号化装置により符号化され送出されたインターリーブ・シンボル列を受信して復号する復号装置であって、前記インターリーブ・シンボル列に対応する受信されたシンボル列に対して、行数がIのインターリーブ・マトリクスを用いて前記送信側の逆操作であるデ・インターリーブを施すデ・インターリーブ手段と、該デ・インターリーブ手段の出力に対して復号を施して、1シンボルあたりm0 ビットを含むFEC復号後のシンボル列を得るFEC復号手段と、該FEC復号手段から出力されるシンボル列に対してm0 からnout への速度変換を施してnout ビット単位で出力する速度変換手段と、を有し、前記I、m0 及びnout の値を、Iとm0 との積がnout で割り切れるように設定されることを特徴とする。

【0035】また、請求項14記載の伝送方式は、FEC符号化されたシンボル列をインターリーブして伝送する伝送方式において、送信側では、nout ビット単位で入力される入力シンボル列にnout からm0 への速度変換を行ってm0 ビット毎にFEC符号化を施し、このFEC符号化によって得られたシンボル列をns シンボル毎に区切ってインターリーブ・ブロックを構成し、任意に設定された配列順序で各インターリーブ・ブロック毎のシンボル列を配列する斜め配置を施して行数がIのインターリーブ・マトリクスを構成し、インターリーブを施してインターリーブ・シンボル列を送出し、受信側では、前記インターリーブ・シンボル列に対応する受信されたシンボル列に対して前記送信側の逆操作であるデ・インターリーブ及びFEC復号を施して、1シンボルあたりm0 ビットを含むFEC復号後のシンボル列を得た後、m0 からnout への速度変換を施してnout ビット単位で出力するときに、前記I、m0 及びnout の値

を、 $I$ と $m0$ との積が $n_{out}$ で割り切れるように設定することを特徴とする。

【0036】また、請求項15記載の符号化装置は、FEC符号化されたシンボル列をインターリーブして伝送する符号化装置において、 $n_{out}$ ビット単位で入力される入力シンボル列に対して $n_{out}$ から $m0$ への速度変換を行う速度変換手段と、この速度変換手段から出力されるシンボル列の $m0$ ビット毎にFEC符号化を施すFEC符号化手段と、このFEC符号化によって得られたシンボル列を $n_s$ シンボル毎に区切ってインターリーブ・ブロックを構成し、このインターリーブ・ブロック毎にインターリーブ・ブロックを構成する各シンボルの配列順序を任意に変更して斜め配置を施して行数が $I$ のインターリーブ・マトリクスを構成し、インターリーブを施してインターリーブ・シンボル列を送出するインターリーブ手段と、を有し、前記 $I$ 、 $m0$ 及び $n_{out}$ の値を、 $I$ と $m0$ との積が $n_{out}$ で割り切れるように設定されることを特徴とする。

【0037】また、請求項16記載の復号装置は、前記請求項15記載の符号化装置により符号化され送出されたインターリーブ・シンボル列を受信して復号する復号装置であって、前記インターリーブ・シンボル列に対応する受信されたシンボル列に対して、行数が $I$ のインターリーブ・マトリクスを用いて前記変更された順序で送信側の逆操作であるデ・インターリーブを施すデ・インターリーブ手段と、該デ・インターリーブ手段により得られたシンボル列の誤り率を検出する誤り率検出手段と、この誤り率が所定値以上の際には、前記デ・インターリーブ手段によるデ・インターリーブのタイミングを順次ずらして再度前記デ・インターリーブ手段に前記インターリーブされたシンボル列を供給する手段と、前記デ・インターリーブ手段の出力に対して復号を施して、1シンボルあたり $m0$ ビットを含むFEC復号後のシンボル列を得るFEC復号手段と、このFEC復号手段から出力されるシンボル列に対して $m0$ から $n_{out}$ への速度変換を施して $n_{out}$ ビット単位で出力する速度変換手段と、を有し、前記 $I$ 、 $m0$ 及び $n_{out}$ の値を、 $I$ と $m0$ との積が $n_{out}$ で割り切れるように設定されることを特徴とする。

【0038】

【作用】上述の如く構成された本願請求項1記載の伝送方式及び請求項5記載の符号化装置によれば、FEC符号化方式における、FEC符号後のシンボル列を順次マトリクス状に配置してインターリーブ・ブロックを構成しインターリーブを施す際に前記シンボル列を、当該インターリーブ・ブロックについて、順序をある定めた並べ変えた順序で行なうことでデ・インターリーブ開始位置が1つずれた場合でも本来の正しいデ・インターリーブ・シンボル列と大きく異なり、デ・インターリーブ開始位置のずれを容易に検出し、伝送路誤りとの区別が明

確にでき、同期引き込み限界 $C/N$ 性能を大きくとれる。

【0039】また、請求項2記載の伝送方式及び請求項6記載の符号化装置によれば、インターリーブ・ブロックを構成しインターリーブを施す際に、シンボル列を順次、当該インターリーブ・ブロックについて斜行して順序をある定めた並べ変えた順序で行なうことで、インターリーブ・ブロックが $n_{i+1}$ なので最悪でも $n_i$ 回のシフト操作と誤り検出により、約 $1/n_i$ のスピードが実現できる。

【0040】請求項3記載の伝送方式及び請求項7記載の符号化装置によれば、ある定めた並べ変えた順序をPN符号（擬似乱数符号）で行なうことにより、従来ROM等でタイミングを作成したものが簡単な擬似乱数発生回路により容易に構成できる。

【0041】請求項4記載の伝送方式及び請求項8記載の符号化装置によれば、各インターリーブ・ブロックの最上段と最下段のデータが、配列を変えない元のデータと同一とされるので、書き込み、読み出し時の遅延を最小とすることができるようになる。

【0042】請求項9記載の復号装置においては、請求項5乃至8記載の符号化装置にて符号化されたデータを復号し、この誤り率が大いときにはデ・インターリーブの開始位置がずれていると判定し、1つずつずらしながらデ・インターリーブを行なう。従って、デ・インターリーブの開始位置を正確に合わせることができるようになる。

【0043】請求項10記載の復号装置では、請求項9記載の誤り率検出手段はデ・インターリーブされたデータを、一方でビタビ復号し、他方で簡易復号する。そして、ビタビ復号の結果が正しいデータであるとして、この結果と簡易復号結果とを比較することによって誤り率を検出する。

【0044】請求項11ないし請求項16記載の伝送方式、符号化装置及び復号装置によれば、送信側では、 $n_{out}$ ビット単位で入力される入力シンボル列に $n_{out}$ から $m0$ への速度変換を行って $m0$ ビット毎にFEC符号化を施し、このFEC符号化によって得られたシンボル列を $n_s$ シンボル毎に区切ってインターリーブ・ブロックを構成し、該インターリーブ・ブロック毎に斜め配置を施して行数が $I$ のインターリーブ・マトリクスを構成してインターリーブを施す際に、前記 $I$ 、 $m0$ 及び $n_{out}$ の値を、 $I$ と $m0$ との積が $n_{out}$ で割り切れるように設定することにより、受信側で、インターリーブ・ブロックのサイズ $n_s$ の頭の位置が一致しなくても、列方向にずれていても、同期コードを使用すること無くビット同期をとることが可能となる。

【0045】

【実施例】以下、本発明の実施例を図面に基づいて説明する。本発明の伝送方式、符号化装置、復号装置は、図

8に示した伝送装置において、インターリーブ回路2、及びデ・インターリーブ回路5におけるインターリーブ、デ・インターリーブの方法が従来と異なる。

【0046】図1は本実施例に係る斜行インターリーブを示す説明図である。従来においては（図15参照）、データ列を斜め方向に順次書き込んでいたが、本実施例では、斜め方向に順序を入れ換えて書き込む方式をとる。図17に、インターリーブ後のデータ列、デ・インターリーブ後のデータ列、及び図5に示したRAM制御のタイミング制御のタイミングを示す。ここでは、簡便のためRAMのアドレスをインターリーブ・マトリクスの行と列に対応させ、それぞれ行アドレス、列アドレスとする。この例はデ・インターリーブ回路の遅延量を最小化したもので、5シンボルに一度RAM出力選択信号は‘0’となり、図17においてデータ入力がそのままデータ出力となる。

【0047】図1に示す様に、斜行順序を0, 3, 1, 2, 4としてあるが、この最初と最後（この場合0と4）の位置を変えないと、遅延量が最小となる。また受信機側ではデ・インターリーブを行なう場合にそのインターリーブ・ブロック同期を確定する必要がある。すなわちインターリーブ・ブロックの先頭位置がデ・インターリーブのためのアドレス制御の先頭位置と一致しないとデ・インターリーブが正しく行なわれないからである。

【0048】これについては、従来例と同様に、図8に示す誤り率検出手段7にて誤り率が検出され、誤り率が大きいときには、デ・インターリーブ回路5におけるデ・インターリーブの先頭位置をずらしながら同期を確定する。また、図9にて示した簡易復号器11の符号結果とビタビ復号器14による復号結果との比較により誤り率を検出する点についても従来と同様である。

【0049】以上の点をふまえて、本実施例の動作について以下に説明する。本実施例では、図1に示したように、斜行してデータ列をメモリに書き込む際にその順序を入れ換えている。つまり、0, 3, 1, 2, 4, 5, 8, 6, …の順にデータを書き込み、0, x, x, x, x, 5, 3, x, x, x, 10, 8, 1, x, x, 15, 13, …の順に読み出している。

【0050】いま、データ列が行方向に1つずれると、図2の如くのデータとなり、デ・インターリーブ後のデータは図18に示す通りとなる。即ち、x, 0, 3, 1, 2, x, 5, 8, 6, 7, x, 10, …となる。そして、このデータ列は、前記した正しいデータ列と比較して大きく異なる。従って、図8に示した誤り率検出手段7においては、デ・インターリーブの際の同期誤りであるか、伝送中の伝送誤りであるかを容易に検出することができるようになる。発明者らによる実際の試験によれば、デ・インターリーブの開始位置の誤りによるものと伝送路上の雑音による誤りとの違いは、2dB程度と

なることが確認された。

【0051】次に $n_i = 7$ の場合のインターリーブ、及びデ・インターリーブ回路における、アドレス発生回路について一例を図20, 21に示す。書き込みアドレス

（図21）については、カウンタにより構成し、 $n_{i+1}$ 進カウンタ21より行カウンタを、 $n_i$ カウンタ22より列カウンタを構成する。読み出し（図20）はフリップフロップ25a~25cでM系列生成によりPN符号を発生し、擬似ランダムアドレスを発生させる。行アドレスは、 $n_{i+1}$ カウンタ23からの信号により $n_{i+1}$ 周期でリセットさせる。フリップフロップ25a~25cは $n_{i+1}$ カウンタ23からの信号によりクロックに同期してリセットがかかり、行アドレスを発生させる。

【0052】列アドレスの発生手段は、 $n_i$ カウンタ24は $n_{i+1}$ カウンタ23より $n_{i+1}$ 回に一度カウントアップし、行アドレスと $n_i$ カウンタ24との加算値が列アドレスとして出力される。

【0053】この例において、読み出しアドレス発生、 $n_{i+1}$ カウンタ23と書き込みアドレス発生、 $n_{i+1}$ カウンタ21を、また読み出しアドレス発生、 $n_i$ カウンタ24と書き込みアドレス発生、 $n_{i+1}$ カウンタ22を、それぞれ兼用することが可能である。

【0054】カウンタはアップカウンタだけでなく、当然ダウンカウンタでも可能である。また $n_i = 7$ 以外でも、同様のことが可能であり、さらにPN符号の発生機はこの列にとらわれることなく、ほかの異なるものでもかまわない。

【0055】読み出しカウンタは、図20における読み出しのアドレス値をROM等に記憶しておいてもよい。

【0056】こうして、図1に示したようにランダムにデータ列を入れ換えて斜行インターリーブを行なうことができ、更に、これに対するデ・インターリーブも行なうことができるのである。

【0057】また、図9に示した比較判定手段13にて比較判定に予め指定される値をいき値として用意することにより不一致頻度または推定された誤り率が当該いき値を越えるか否かを判定して、例えばこのいき値を越えたときに同期フラグを下げて非同期状態を示すことができる。

【0058】また比較判定手段に異なる2種類の値を用意し、非同期、同期状態によりこれらのいき値を適宜切り替えることにより、ヒステリシス特性を持たせることができ、同期フラグの発生の安定化を計ることができる。つまり、非同期のときはデ・インターリーブの開始位置によるデータ誤りなのか、ノイズによる伝送誤りなのかの判断がつきにくいことがあるいき値を低くしておき、デ・インターリーブの同期がとれた後は、同期がずれる可能性は極めて低いのでいき値を高くして安定化を図る。

【0059】また、図9ではビタビ復号器14を用いて

誤り率を検出したが、ビタビ復号の最ゆうバスメトリックから推定する方法もある。これは誤りのある場合、シンボルのハミング距離または、対数ゆう度関数の計量値がオーバーフローを起こすため、定期的に、値を下げる必要があり、この頻度を計測することで、誤り率が推定できる。あるいは最ゆうバスメトリックの値と $C/N$ とは相関があるのでこれを利用する方法もある（特公平4-10773号公報）。

【0060】次に、本発明に係る伝送方式、符号化装置及び復号装置を速度変換を伴う伝送方式、符号化装置及び復号装置に適用した実施例を説明する。速度変換を伴う伝送方式の全体構成は、従来技術において、図22で説明したものと同様である。図23、図24は、それぞれコンボリューショナル・インターリーブにおけるエンコーダ及びデコーダの構成を示すブロック図である。図23において、送信側のインターリーブに用いられるエンコーダは、それぞれ制御回路40からの制御により、同一位相、同一周期 $I$ で順次接続される接点を選択する2つのセクタ41及び42と、2つのセクタ41、42の互いに対向する接点間に設けられた順次遅延時間が増加する遅延回路と、を備えて構成される。

【0061】セクタ41及び42は、それぞれ共通接点41-C及び42-Cと、これに択一的に接続可能な $I$ 個の接点41-1（接点番号1）、41-2（接点番号2、以下同様）、…、41-I及び42-1（接点番号1）、42-2（接点番号2、以下同様）、…、42-Iとを有し、それぞれ制御回路40からの制御により、同一位相、同一周期 $I$ で順次接続される接点を選択する。セクタ41と42との間に設けられた遅延回路は、それぞれ（接点番号-1）個の遅延素子 $M$ を直列に配列して、それぞれ（接点番号-1） $\times M$ だけ信号を遅延させる回路である。すなわち、それぞれのセクタの接点番号1の間に設けられた1番目のパスにおいては、セクタ41に入力した信号は、遅延無くそのまま出力される。2番目のパスでは、 $M$ 遅延行われる。この遅延は、1周期を1サンプルとして行うので、結果的には、入力された信号は、 $I \times M$ だけ遅延する。以下、同様に、 $I \times 2M$ 、 $I \times 3M$ 、…、 $I \times (I-1)M$ だけ遅延して出力される。

【0062】図24において、受信側でデ・インターリーブのために用いられるデコーダは、それぞれ共通接点51-C、52-Cとこれに択一的に接続可能な $I$ 個の接点とを有しそれぞれ制御回路50からの制御により、同一位相、同一周期 $I$ で順次接続される接点を選択する2つのセクタ51及び52と、2つのセクタ51、52の互いに対向する接点間に設けられた順次遅延時間が減少する遅延回路と、を備えて構成される。すなわち、1番目のパスにおいては、51に入力した信号は、 $I \times (I-1)M$ だけ遅延して出力される。2番目のパスでは、 $I \times (I-2)M$ だけ遅延が行われる。以下、

同様に、それぞれ、 $I \times (I-3)M$ 、…、 $I \times M$ 、0、だけ遅延して出力される。これによりデコーダは、エンコーダの逆の操作を行い、シンボル列の順序を復元する。

【0063】コンボリューショナル・インターリーブに関しては、G.D.Forney Jr. "Burst-Correcting Codes for the Classic Busty Channel" IEEE, TRANS. on COMM. TECH. Vol. COM-19, No5, Oct. 1971に詳しく記載されている。

【0064】図10に示されるような、斜めインターリーブによるインターリーブ・ブロックや、図23に示されるようなコンボリューショナル・インターリーブにおいては、インターリーブ・ブロックのサイズ $ns$ の頭の位置が一致しなくても、また列方向にずれていても、正しくデ・インターリーブすることが可能である。この点に着目すると、インターリーブ・ブロックの縦、つまりインターリーブ・マトリックスの行数を $I$ 、 $nout$ ビット単位で入力される入力シンボル列を $nout$ から $m0$ に速度変換するとすれば、 $I \times m0$ が $nout$ で割り切れるように、 $I$ 、 $m0$ 、 $nout$ を設定すれば、同期コードを使用しなくてもビット同期をとることが可能となる。これは、従来のブロック・インターリーブで使用されたブロックサイズを $ns$ としたときに $ns \times m0$ が $nout$ で割り切れるように設定するのに比べて、より制限の緩やかな自由度の大きい値を使用することが可能となる。

【0065】また、図23及び図24のそれぞれのセクタが、同一位相で、同一周期 $I$ で、任意に設定した順序で選択することも可能である。

【0066】

【発明の効果】以上説明した様に本発明によればデ・インターリーブ開始位置がずれたデ・インターリーブ後の復号データ列は、正しいデータ列と大きく異なり、伝送路上の雑音による誤りとの判別が容易であるので、より $C/N$ の悪い状況においても安定した同期判定を行なうことができる。

【0067】また、デ・インターリーブ側でこの順序の入れ替え順を知らなければ復号できない。これより簡単にスクランブルをかける効果も得られる。

【図面の簡単な説明】

【図1】本発明に係る斜めインターリーブを示す説明図。

【図2】図1に示したデータ列の行方向にずれが発生したときのデータを示す説明図。

【図3】従来におけるインターリーブ・ブロックの構成及びその送り順を示す説明図。

【図4】図3に示したインターリーブ・ブロックに係るデ・インターリーブ・ブロックのタイミングを示すタイミングチャート。

【図5】従来におけるインターリーブ、デ・インターリーブ回路の構成の一例を示すブロック図。

【図6】図5に示したインターリーブ、デ・インターリーブ回路におけるタイミングを示したタイムチャート。

【図7】図3に示したインターリーブ、デ・インターリーブ・ブロックのメモリ構成とアドレスの例を示す説明図。

【図8】インターリーブを用いるときの送信及び受信装置の概略構成を示すブロック図。

【図9】誤り検出手段の構成の一例を示すブロック図。

【図10】斜めインターリーブ・ブロック及びその送り順を示す説明図。

【図11】斜めインターリーブ・ブロックのアドレス例を示す説明図。

【図12】図10に示したインターリーブ・ブロックに係るタイミングを示すタイムチャート。

【図13】インターリーブ・ブロックとメモリのデータが一致した状態を示す説明図。

【図14】図13に示したインターリーブ・ブロックに係るタイミングを示すタイムチャート。

【図15】従来における斜めインターリーブ・ブロックを示す説明図。

【図16】図15に示した斜めインターリーブにおけるデ・インターリーブ・ブロックが1つずれた場合を示す説明図。

【図17】本発明に係るデ・インターリーブのアドレスタイミングを示すタイミングチャート。

10

\* 【図18】本発明に係るデ・インターリーブ・ブロックが1つずれた場合のデータの関係を示すタイミングチャート。

【図19】図15に示したインターリーブ・ブロックに係るタイミングを示すタイムチャート。

【図20】本発明に係る読み出しアドレス発生回路の構成を示すブロック図。

【図21】本発明に係る書き込みアドレス発生回路の構成を示すブロック図。

【図22】速度変換を伴う伝送系の構成を示すブロック図。

【図23】コンボリューショナル・インターリーブにおけるエンコーダーの構成を示すブロック図。

【図24】コンボリューショナル・インターリーブにおけるデコーダーの構成を示すブロック図。

【符号の説明】

1 FEC符号化器、2 インターリーブ回路、3 変調器、4 復調器

5 デ・インターリーブ回路、6 FEC復号器、7

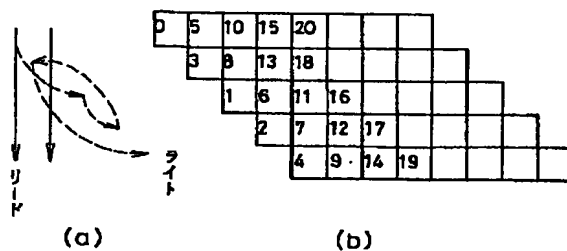
20 誤り率検出手段、11 簡易復号器、12 遅延回路、

13 比較判定手段、14 ビタビ復号器、21  $n_{i-1}$  カウンタ、

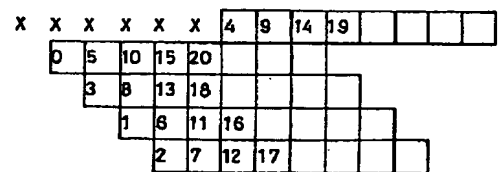
22  $n_i$  カウンタ、23  $n_{i+1}$  カウンタ、24  $n_i$  カウンタ、25 a~25 c フリップ

フロップ

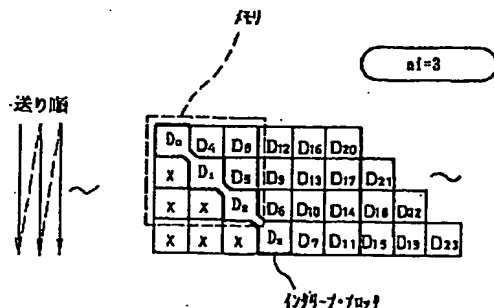
【図1】



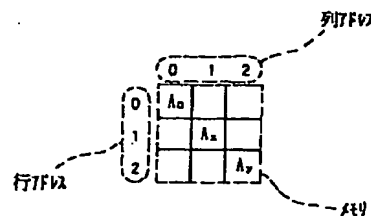
【図2】



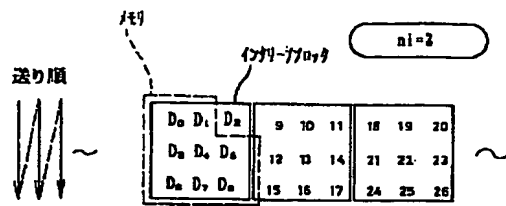
【図10】



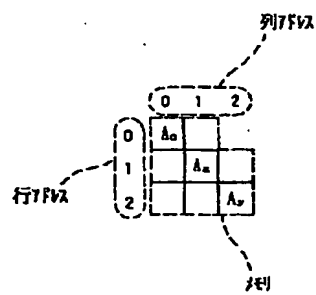
【図11】



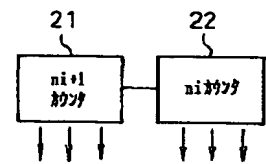
【図3】



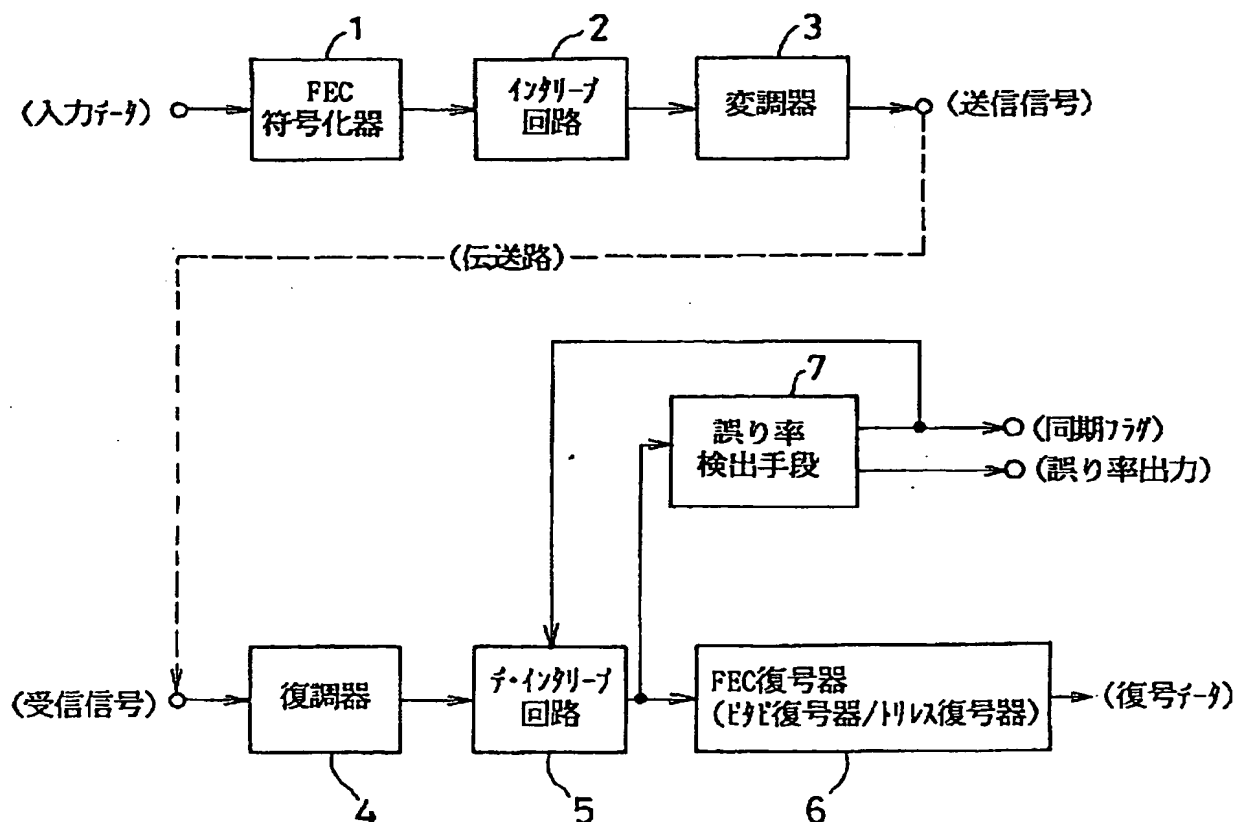
【図7】



【図21】



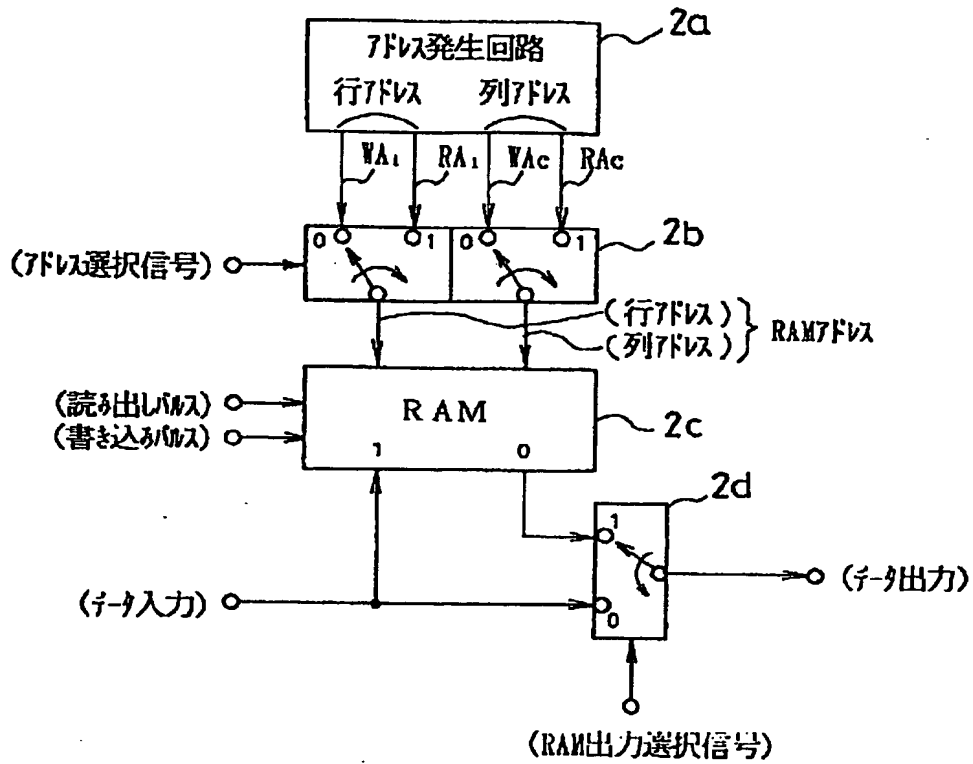
【図8】



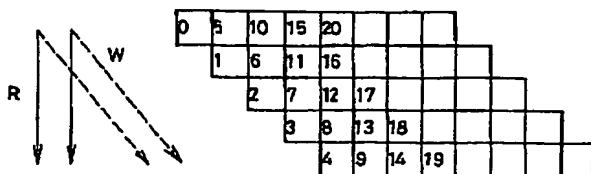


【図 5】

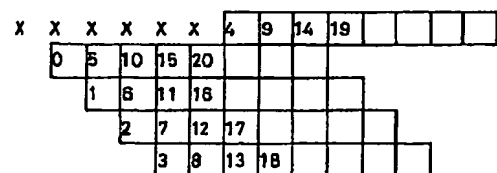
$\left\{ \begin{array}{l} RA_1, RA_c: \text{読み出しアドレス} \\ WA_1, WA_c: \text{書き込みアドレス} \end{array} \right\}$



【図 15】

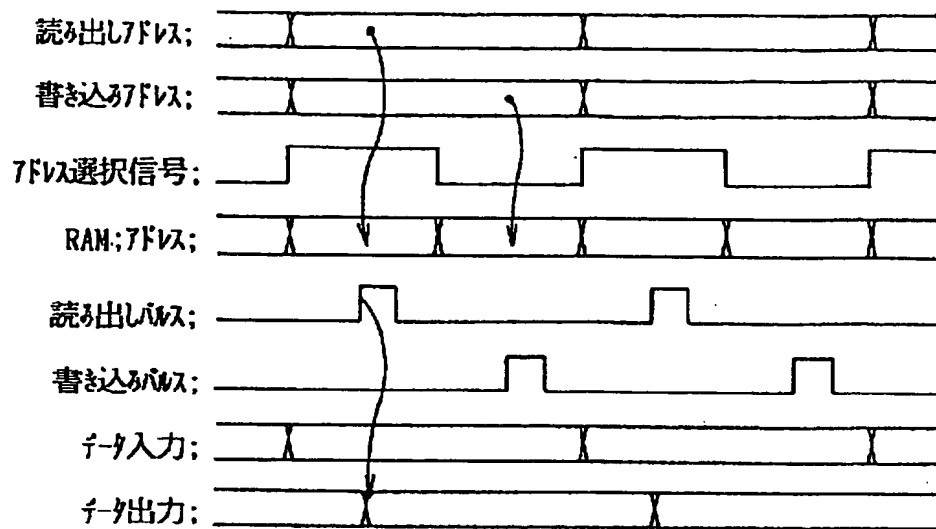


【図 16】





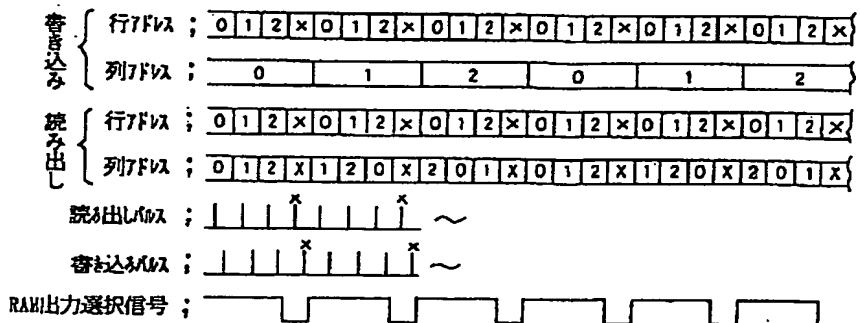
【図 6】



【図 12】

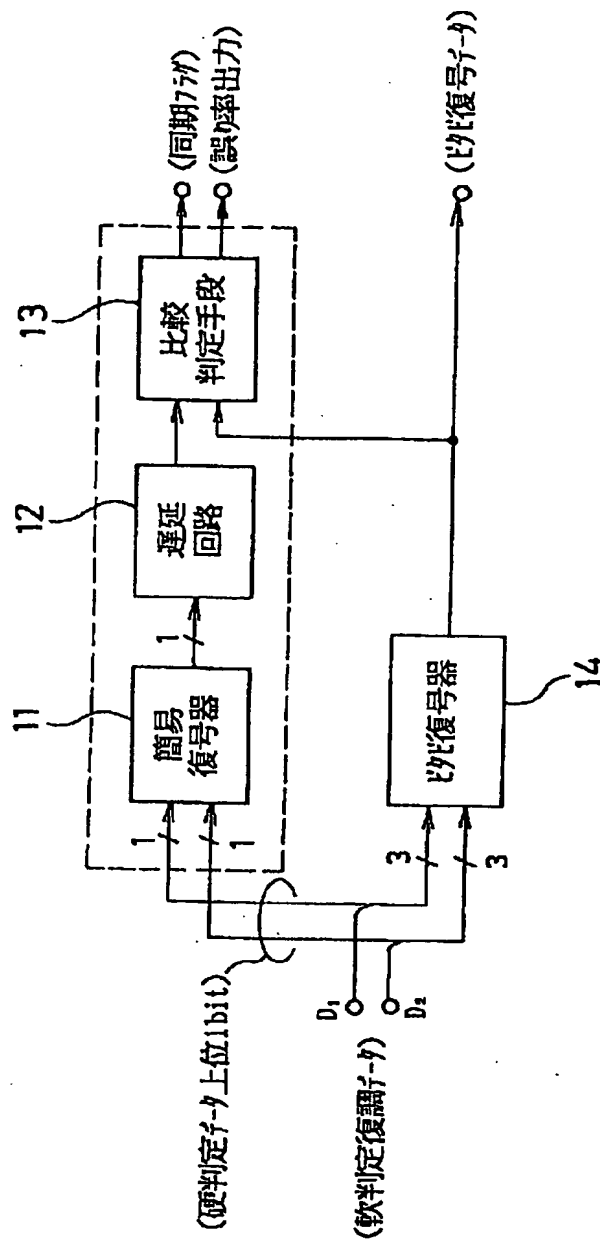
(インクリメント後のアドレス列):  $D_0, X, X, X, D_4, D_1, X, X, D_8, D_5, D_2, X, D_{12}, D_9, D_6, D_3, D_{14}, D_{11}, D_{10}, D_7, D_{20}, D_{17}, D_{14}, D_{11}$

(デクリメント後のアドレス列):  $D_0, D_1, D_2, D_3, D_4, D_5, D_6, D_7, D_8, D_9, D_{10}, D_{11}$

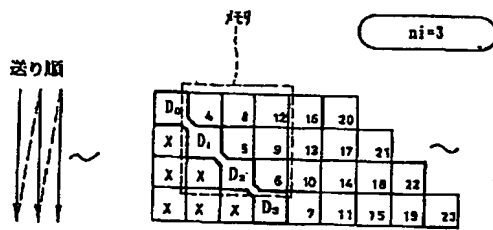


X: nonsignificant

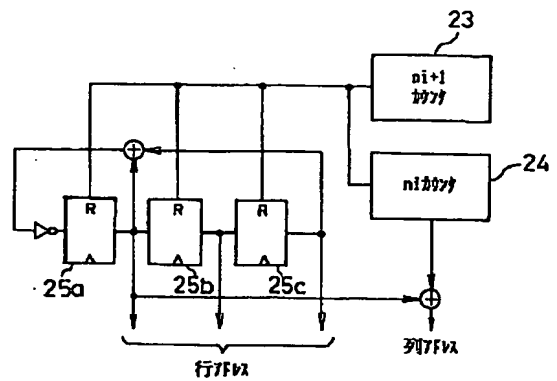
【図9】



【図13】



【図20】



【図14】

(インクリメント後のデータ列) :  $D_0, X, X, X, D_4, D_1, X, X, D_8, D_5, D_2, X, D_{12}, D_9, D_6, D_3, D_{16}, D_{13}, D_{10}, D_7, D_{20}, D_{17}, D_{14}, D_{11}$

(デインクリメント後のデータ列) :  $D_8, D_1, D_2, D_3, D_4, D_5, D_6, D_7, D_8, D_9, D_{10}, D_{11}$

書き込み { 行アドレス :  $0, 1, 2, X, 0, 1, 2, X, 0, 1, 2, X, 0, 1, 2, X, 0, 1, 2, X$   
列アドレス :  $2, 0, 1, 2, 0, 1$

読み出し { 行アドレス :  $0, 1, 2, X, 0, 1, 2, X, 0, 1, 2, X, 0, 1, 2, X, 0, 1, 2, X$   
列アドレス :  $2, 0, 1, X, 0, 1, 2, X, 1, 2, 0, X, 2, 0, 1, X, 0, 1, 2, X, 1, 2, 0, X$

読み出しアドレス :  $\sim$

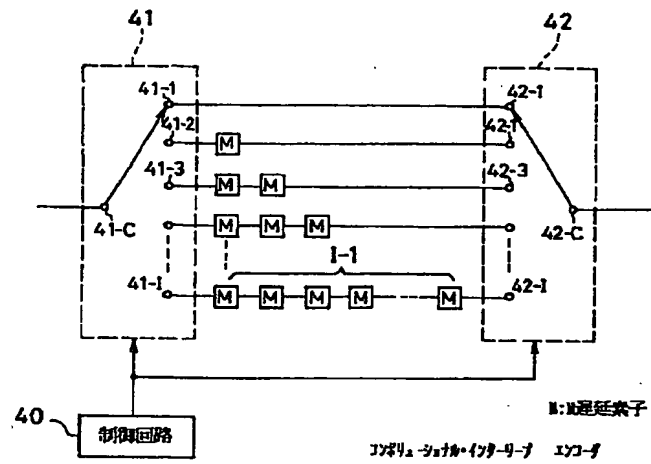
書き込みアドレス :  $\sim$

RAM出力選択信号 :  $\sim$

X: nonsignificant



【図23】



【図24】

